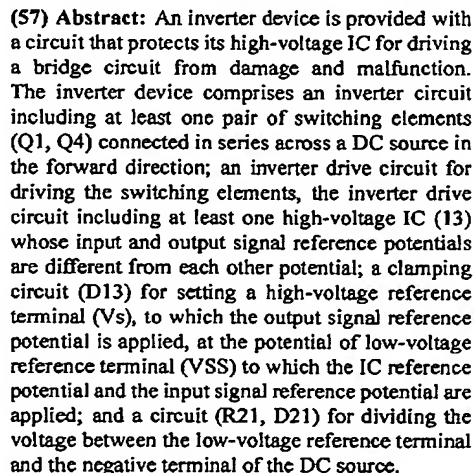




(10) 国際公開番号
WO 01/59918 A1

- | | | |
|--|---------------------------|---|
| (51) 国際特許分類 ⁷⁾ : | H02M 7/5387 | Kazuaki) [JP/JP]. 波多江慎治 (HATAE, Shinji) [JP/JP];
〒100-8310 東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内 Tokyo (JP). |
| (21) 国際出願番号: | PCT/JP00/00712 | |
| (22) 国際出願日: | 2000 年2 月9 日 (09.02.2000) | (74) 代理人: 青山 稔, 外(AOYAMA, Tamotsu et al.); 〒
540-0001 大阪府大阪市中央区城見1丁目3番7号 IMP
ビル 青山特許事務所 Osaka (JP). |
| (25) 国際出願の言語: | 日本語 | (81) 指定国 (国内): JP, US. |
| (26) 国際公開の言語: | 日本語 | (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE,
DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE). |
| (71) 出願人 (米国を除く全ての指定国について): 三
菱電機株式会社 (MITSUBISHI DENKI KABUSHIKI
KAISHA) [JP/JP]; 〒100-8310 東京都千代田区丸の内
二丁目2番3号 Tokyo (JP). | | 添付公開書類:
— 国際調査報告書 |
| (72) 発明者; および | | 2 文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。 |
| (75) 発明者/出願人 (米国についてのみ): 山本晃央
(YAMAMOTO, Akihisa) [JP/JP]. 日山一明 (HIYAMA, | | |

(54) 発明の名称: インバータ装置



WO 01/59918 A1

〔続葉有〕

再公表特許(A1)

(11) 国際公開番号

WO 01 / 059918

発行日 平成15年6月24日(2003.6.24)

(43) 国際公開日 平成13年8月16日(2001.8.16)

(51) Int.Cl.?

識別記号

FI

H O 2 M 7/48
7/5387

H O 2 M 7/48
7/5387

M
Z

審查請求 有 予備審查請求 未請求(全 25 頁)

出願番号 特願2001-559132(P2001-559132)
 (21) 国際出願番号 PCT/JP00/00712
 (22) 国際出願日 平成12年2月9日(2000.2.9)
 (81) 指定国 EP(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), JP, US

(71)出願人 三菱電機株式会社
東京都千代田区丸の内二丁目2番3号

(72)発明者 山本 晃央
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(72)発明者 日山 一明
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

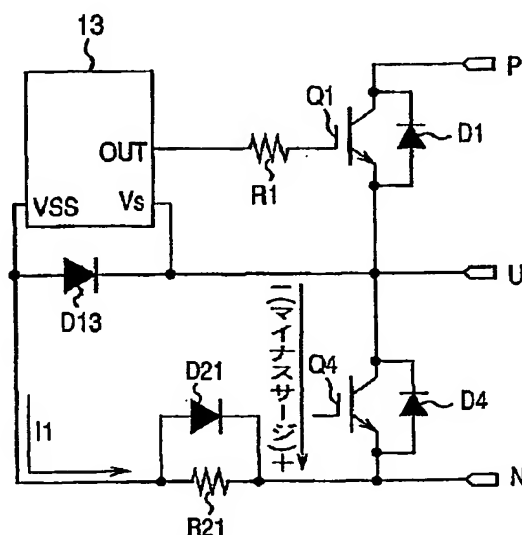
(72)発明者 波多江 慎治
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(74)代理人 弁理士 青山 葆 (外1名)

(54) 【発明の名称】 インバータ装置

(57) 【要約】

本発明は、特にブリッジ回路の駆動制御に使用される高耐圧ＩＣの破壊及び誤動作を防止する回路を備えたインバータ装置に関する。本発明は、直流電源の両極端子間に順方向に直列に接続される少なくとも一対のスイッチング素子（Ｑ１、Ｑ４）で構成されたインバータ回路部と、少なくとも１つの、入力信号の基準電位と出力信号の基準電位の異なる高耐圧ＩＣ（１３）を有する、上記各スイッチング素子を駆動するインバータ駆動回路部と、上記高耐圧ＩＣ全体の基準電位及び上記入力信号の基準電位となる電位が印加される低圧側基準端子（ＶＳＳ）の電位を、上記出力信号の基準電位となる電位が印加される高圧側基準端子（Ｖｓ）にクランプするクランプ回路部（Ｄ１３）と、上記低圧側基準端子と上記直流電源の負極との間の電圧を分圧する分圧回路部（Ｒ２１、Ｄ２１）とを備えることを特徴とする。



【特許請求の範囲】

【請求項 1】 負荷に対して電源供給を行う直流電源の両極端子間に順方向に直列に接続される少なくとも 1 対のスイッチング素子で構成された、負荷に対してインバータ駆動を行うためのインバータ回路部と、

入力信号と出力信号における各信号レベルの基準となる電位が異なる少なくとも 1 つの高耐圧 IC を有し、該インバータ回路部の各スイッチング素子の駆動を行うインバータ駆動回路部と、

該インバータ駆動回路部における高耐圧 IC の動作の基準となると共に該高耐圧 IC の低電位側の信号の基準となる電位が印加される低圧側基準端子の電位を、該高耐圧 IC における高電位側の信号の基準となる電位が印加される高圧側基準端子にクランプするクランプ回路部と、

上記インバータ駆動回路部における高耐圧 IC の低圧側基準端子と、上記直流電源の負極との間の電圧を分圧する分圧回路部と、
を備えることを特徴とするインバータ装置。

【請求項 2】 上記低圧側基準端子から出力される高耐圧 IC の動作電流が上記直流電源の負極へ流れるように上記分圧回路部をバイパスする、該分圧回路部ごとに設けられたバイパス回路部を備えることを特徴とする請求項 1 に記載のインバータ装置。

【請求項 3】 上記バイパス回路部は、分圧回路部をバイパスするバイパスダイオードからなることを特徴とする請求項 2 に記載のインバータ装置。

【請求項 4】 上記分圧回路部は、上記インバータ駆動回路部における高耐圧 IC の低圧側基準端子と上記直流電源の負極との間に接続された分圧抵抗をなす素子からなることを特徴とする請求項 1 に記載のインバータ装置。

【請求項 5】 上記低圧側基準端子から出力される高耐圧 IC の動作電流が上記直流電源の負極へ流れるように上記分圧回路部をバイパスする、該分圧回路部ごとに設けられたバイパス回路部を備えることを特徴とする請求項 4 に記載のインバータ装置。

【請求項 6】 上記バイパス回路部は、分圧回路部をバイパスするバイパスダイオードからなることを特徴とする請求項 5 に記載のインバータ装置。

【請求項 7】 上記インバータ駆動回路部における高耐圧 IC の低圧側基準端子は、ダイオードを介して上記クランプ回路部及び分圧抵抗をなす素子にそれぞれ接続されることを特徴とする請求項 4 に記載のインバータ装置。

【請求項 8】 上記低圧側基準端子から出力される高耐圧 IC の動作電流が上記直流電源の負極へ流れるように上記分圧回路部をバイパスする、該分圧回路部ごとに設けられたバイパス回路部を備えることを特徴とする請求項 7 に記載のインバータ装置。

【請求項 9】 上記バイパス回路部は、分圧回路部をバイパスするバイパスダイオードからなることを特徴とする請求項 8 に記載のインバータ装置。

【請求項 10】 上記分圧回路部は、高耐圧 IC ごとに設けられることを特徴とする請求項 1 に記載のインバータ装置。

【請求項 11】 上記低圧側基準端子から出力される高耐圧 IC の動作電流が上記直流電源の負極へ流れるように上記分圧回路部をバイパスする、該分圧回路部ごとに設けられたバイパス回路部を備えることを特徴とする請求項 10 に記載のインバータ装置。

【請求項 12】 上記バイパス回路部は、分圧回路部をバイパスするバイパスダイオードからなることを特徴とする請求項 11 に記載のインバータ装置。

【請求項 13】 上記分圧回路部は、上記インバータ駆動回路部における高耐圧 IC の低圧側基準端子と上記直流電源の負極との間に接続された分圧抵抗をなす素子からなることを特徴とする請求項 10 に記載のインバータ装置。

【請求項 14】 上記低圧側基準端子から出力される高耐圧 IC の動作電流が上記直流電源の負極へ流れるように上記分圧回路部をバイパスする、該分圧回路部ごとに設けられたバイパス回路部を備えることを特徴とする請求項 13 に記載のインバータ装置。

【請求項 15】 上記バイパス回路部は、分圧回路部をバイパスするバイパスダイオードからなることを特徴とする請求項 14 に記載のインバータ装置。

【請求項 16】 上記インバータ駆動回路部における高耐圧 IC の低圧側基準端子は、ダイオードを介して上記クランプ回路部及び分圧抵抗をなす素子にそれぞれ接続されることを特徴とする請求項 13 に記載のインバータ装置。

【請求項 17】 上記低圧側基準端子から出力される高耐圧 IC の動作電流が上記直流電源の負極へ流れるように上記分圧回路部をバイパスする、該分圧回路部ごとに設けられたバイパス回路部を備えることを特徴とする請求項 16 に記載のインバータ装置。

【請求項 18】 上記バイパス回路部は、分圧回路部をバイパスするバイパスダイオードからなることを特徴とする請求項 17 に記載のインバータ装置。

【発明の詳細な説明】**技術分野**

本発明は、インバータ装置に関し、特に負荷を駆動するスイッチング素子で形成されたブリッジ回路の駆動制御に使用される高耐圧ＩＣの耐圧破壊及び誤動作を防止する回路を備えたインバータ装置に関する。

背景技術

従来、特開平１０－４２５７５号公報に開示されているように、インバータ装置において、負荷の駆動を行うスイッチング素子のスイッチング時に、電流の単位時間あたりの変化量 di/dt と配線のインダクタンスから発生するマイナスサージ対策として、該スイッチング素子を駆動制御する高耐圧ＩＣの低圧側基準端子と高圧側基準端子との間にクランプダイオードを接続していた。

本発明の前提である基本技術とその課題

図８は、上記クランプダイオードの接続例を示した概略の回路図である。なお、図８では、任意の１つの高耐圧ＩＣ、例えば負荷が接続される外部接続端子Ｕに接続される負荷を駆動するスイッチング素子のスイッチング制御を行う高耐圧ＩＣの周辺回路のみを示している。

高耐圧ＩＣ１０１の低圧側基準端子ＶＳＳと高圧側基準端子Ｖｓとの間にクランプダイオード１０２が接続されており、高耐圧ＩＣ１０１は、正の電源電圧が印加される外部電源接続端子Ｐと負荷が接続される外部接続端子Ｕとの間に接続されたスイッチング素子１０４の動作制御を行う。外部接続端子Ｕと負の電源電圧が印加される外部電源接続端子Ｎとの間に接続されたスイッチング素子１０５の動作制御を行う高耐圧ＩＣは省略している。

マイナス電位のサージによって、高圧側基準端子Ｖｓと低圧側基準端子ＶＳＳとの間の電圧 $V(V_s - V_{SS})$ が負電圧になったときのみ、クランプダイオード１０２によって該電圧 $V(V_s - V_{SS})$ は、クランプダイオード１０２の順方向電圧に保たれる。

しかし、外部接続端子Ｕに接続される負荷のインピーダンスが小さく、該負荷を駆動して大電流が流れ、マイナス電位のサージが数十Ｖといった大きになると、クランプダイオード１０２における、順回復時間による遅れと例えば数百ア

ンペアといった大電流が流れたときのV-I特性から、高耐圧IC101の耐電圧以上のマイナス電位が印加されてしまう。このため、クランプダイオード102だけでは、高耐圧IC101にかかる負電圧を十分に抑えることができず、高耐圧IC101の誤動作、場合によっては破壊を招くといった問題があった。

本発明は上記のような課題を解決するもので、負荷の駆動を行うスイッチング素子のスイッチング制御を行う高耐圧ICの誤動作及び破壊を防止することができるインバータ装置を得ることを目的とする。

発明の開示

本発明のインバータ装置は、負荷に対して電源供給を行う直流電源の両極端子間に順方向に直列に接続される少なくとも1対のスイッチング素子で構成された、負荷に対してインバータ駆動を行うためのインバータ回路部と、入力信号と出力信号における各信号レベルの基準となる電位が異なる少なくとも1つの高耐圧ICを有し、該インバータ回路部の各スイッチング素子の駆動を行うインバータ駆動回路部と、該インバータ駆動回路部における高耐圧ICの動作の基準となると共に該高耐圧ICの低電位側の信号の基準となる電位が印加される低圧側基準端子の電位を、該高耐圧ICにおける高電位側の信号の基準となる電位が印加される高圧側基準端子にクランプするクランプ回路部と、インバータ駆動回路部における高耐圧ICの低圧側基準端子と直流電源の負極との間の電圧を分圧する分圧回路部とを備えるものである。このように、高耐圧ICの低圧側基準端子と直流電源の負極との間の電圧を分圧する分圧回路部を備え、高耐圧ICにおける高圧側基準端子と低圧側基準端子との間に印加される負電圧が、該端子間の定格耐電圧の最小値以下にならないようにしたものである。

一方、上記分圧回路部を高耐圧ICごとに設けるようにしてもよい。

また、上記分圧回路部を、インバータ駆動回路部における高耐圧ICの低圧側基準端子と上記直流電源の負極との間に接続された分圧抵抗をなす素子からなるようにして、分圧回路部を1つの抵抗又は1つのインダクタンス等といった分圧抵抗をなす素子で構成した。

また、上記インバータ駆動回路部における高耐圧ICの低圧側基準端子を、ダイオードを介して上記クランプ回路部及び分圧抵抗をなす素子にそれぞれ接続す

るようにしてもよく、分圧抵抗から高耐圧 I C の低圧側基準端子の方向に電流が流れないようにした。

更に、上記分圧回路部をバイパスするバイパス回路部を、上記低圧側基準端子から出力される高耐圧 I C の動作電流が上記直流電源の負極へ流れるように分圧回路部ごとに設けるようにした。

具体的には、上記バイパス回路部を、分圧回路部をバイパスするバイパスダイオードからなるようにし、バイパス回路部を 1 つのバイパスダイオードで構成するようにした。

発明を実施するための最良の形態

以下、本発明の実施の形態を、図面を参照しながら説明する。

実施の形態 1.

図 1 は、本発明の実施の形態 1 におけるインバータ装置の例を示した概略の回路図である。なお、図 1 では、3 相インバータ装置を例にして示している。

図 1 において、3 相インバータ装置 1 は、I G B T からなる 6 個のスイッチング素子 Q 1 ~ Q 6、及び該スイッチング素子 Q 1 ~ Q 6 に対応してそれぞれ並列に接続されたダイオード D 1 ~ D 6 からなる電圧形インバータ 2 と、該電圧形インバータの駆動を行うインバータ駆動回路 3 とを備えている。

電圧形インバータ 2 において、スイッチング素子 Q 1 ~ Q 3 の各コレクタは、電圧形インバータ 2 に正の電源電圧を印加するための外部電源接続端子 P にそれぞれ接続され、この際、該各コレクタと外部電源接続端子 P との間には、それぞれ対応する配線のインダクタンス $L_{c1} \sim L_{c3}$ が形成される。スイッチング素子 Q 4 ~ Q 6 の各エミッタは、電圧形インバータ 2 に負の電源電圧を印加するための外部電源接続端子 N にそれぞれ接続され、この際、該各エミッタと外部電源接続端子 N との間には、それぞれ対応する配線のインダクタンス $L_{e4} \sim L_{e6}$ が形成される。

また、スイッチング素子 Q 1 のエミッタ及びスイッチング素子 Q 4 のコレクタはそれぞれ負荷を接続するための外部接続端子 U に接続され、該エミッタと外部接続端子 U との間には配線のインダクタンス L_{e1} が、該コレクタと外部接続端子 U との間には配線のインダクタンス L_{c4} がそれぞれ形成される。同様に、ス

スイッチング素子Q2のエミッタ及びスイッチング素子Q5のコレクタはそれぞれ負荷を接続するための外部接続端子Vに接続され、該エミッタと外部接続端子Vとの間には配線のインダクタンス L_{e2} が、該コレクタと外部接続端子Vとの間には配線のインダクタンス L_{c5} がそれぞれ形成される。同様に、スイッチング素子Q3のエミッタ及びスイッチング素子Q6のコレクタはそれぞれ負荷を接続するための外部接続端子Wに接続され、該エミッタと外部接続端子Wとの間には配線のインダクタンス L_{e3} が、該コレクタと外部接続端子Wとの間には配線のインダクタンス L_{c6} がそれぞれ形成される。

更に、スイッチング素子Q1～Q6の各ゲートは、対応する抵抗 $R_1 \sim R_6$ を介してインバータ駆動回路3に接続され、インバータ駆動回路3は、入力される制御信号に応じて各スイッチング素子Q1～Q6のスイッチング制御を行う。また、外部電源接続端子Pと外部電源接続端子Nとの間には、直流電源VDCが接続され、外部接続端子U, V, Wには、負荷としてそれぞれリアクトル（図示せず）が接続される。

インバータ駆動回路3において、電圧形インバータ2の各スイッチング素子Q1～Q6に対応して設けられ、各スイッチング素子Q1～Q6の駆動を行う高耐圧IC11～16を有し、更に、該各高耐圧IC11～16における高圧側基準端子Vsと低圧側基準端子VSSとの間に、低圧側基準端子VSSから高圧側基準端子Vsへの方向が順方向になるようにクランプダイオードD11～D16がそれぞれ対応して接続されている。また、高耐圧IC11～16の各低圧側基準端子VSSは、分圧抵抗R21と該分圧抵抗R21に並列に接続されたバイパスダイオードD21からなる保護回路21を介して外部電源接続端子Nに接続されると共に、外部接地端子GNDに接続されている。

各高耐圧IC11～16において、各制御信号入力端子INは、対応する外部制御信号入力端子Up, Vp, Wp, Un, Vn, Wnにそれぞれ接続され、各正側電源入力端子VCC及び負側電源入力端子をなす低圧側基準端子VSSは、直流電源22の正極及び負極にそれぞれ対応して接続されている。

なお、高耐圧IC11～16は、それぞれ同じ回路構成で形成されていることから、図1では高耐圧IC13の内部回路例のみを示しており、高耐圧IC11

、12、14～16の各内部回路は省略している。このことから、以下、高耐圧IC13の動作について説明し、他の高耐圧ICの動作については高耐圧IC13と同様であるのでその説明を省略する。

高耐圧IC13は、入力バッファ25、Nチャネル形MOSトランジスタ（以下、NMOSトランジスタと呼ぶ）26、抵抗R27及びドライバ回路28で構成されている。入力バッファ25において、入力端は制御信号入力端子INに、出力端はNMOSトランジスタ26のゲートに、正側電源入力端は正側電源入力端子VCCに、負側電源入力端は低圧側基準端子VSSにそれぞれ接続されている。

NMOSトランジスタ26のドレインは、抵抗R237とドライバ回路28の入力端にそれぞれ接続され、NMOSトランジスタ26のソースは低圧側基準端子VSSに接続されている。NMOSトランジスタ26及び抵抗R27は、入力バッファ25の出力信号を、該信号の電位から浮いたフローティング電位の信号を生成するレベルシフタ29を形成している。ドライバ回路28において、出力端は高耐圧IC13の出力端子OUTに、正側電源入力端はフローティング電源正側入力端子Vbに、負側電源入力端はフローティング電源負側入力端子をなす高圧側基準端子Vsにそれぞれ接続されている。このように、入力バッファ25、ドライバ回路28及びレベルシフタ29は、レベルシフト回路を形成している。また、高耐圧IC11～16の各フローティング電源正側入力端子Vbと高圧側基準端子Vsとの間には、対応する直流電源31～36が接続されている。

このような構成において、図2は、図1における高耐圧IC13の周辺回路を抽出して示した回路図であり、図2を用いて保護回路21の動作について説明する。なお、図2では、配線のインダクタンスは省略している。外部接続端子U～Wにそれぞれ負荷をなすリアクトルが接続され、例えばスイッチング素子Q1のスイッチングによって外部接続端子Uと外部電源接続端子Nとの間に発生したマイナス電位のサージ（以下、マイナスサージと呼ぶ）を、保護回路21の分圧抵抗R21とクランプダイオードD13によって分圧させる。

また、分圧抵抗R21の抵抗値が大きい場合、低圧側基準端子VSSから外部電源接続端子Nに流れる高耐圧IC13の動作電流I1が、抵抗R21によって

制限されてしまうことから、抵抗 R_{21} に並列に接続したバイパスダイオード D_{21} で該動作電流 I_1 をバイパスして流す。言うまでもなく、動作電流 I_1 に問題となるような影響を及ぼさないほど分圧抵抗 R_{21} の抵抗値が小さい場合は、バイパスダイオード D_{21} を省略してもよい。

なお、図1及び図2では、スイッチング素子 $Q_1 \sim Q_6$ の駆動を行う高耐圧ICを例にして説明したが、本発明は、これに限定するものではなく、スイッチング素子の駆動制御に使用される高耐圧ICに適用することができる。例えば、スイッチング素子の駆動を行うレベルシフト回路と、スイッチング素子に過電流が流れたことを検出する過電流検出回路をなすレベルシフト回路で構成された高耐圧ICにも適用することができる。図3は、このような場合の実施の形態1におけるインバータ装置の他の例を示した図であり、図4は、図3で示した高耐圧ICの回路例を示した図である。

なお、図3では、図1で示したインバータ装置1のスイッチング素子 Q_1 に接続された高耐圧ICとその周辺回路を例にして示しており、その他の高耐圧IC及びその周辺回路においても同様であるので省略している。また、図3及び図4では、図1と同じものは同じ符号で示しており、ここではその説明を省略すると共に図1との相違点のみ説明する。

図3における図1との相違点は、スイッチング素子 $Q_1 \sim Q_3$ の各エミッタを電流検出用の抵抗 $R_{41} \sim R_{43}$ を介して対応する外部接続端子 $U \sim W$ に接続すると共に、スイッチング素子 $Q_4 \sim Q_6$ の各エミッタを電流検出用の抵抗 $R_{44} \sim R_{46}$ を介して外部電源接続端子 N に接続したことと、図1の各高耐圧IC11～16の内部回路を変えると共にNOR回路 $N_{41} \sim N_{46}$ を追加したことにある。

図3において、NOR回路 $N_{41} \sim N_{46}$ は、一方の入力端が、入力される信号レベルが反転する反転入力端をなしており、他方の入力端が、入力される信号レベルが反転しない非反転入力端をなしている。高耐圧IC11a～16aの各制御信号入力端子 I_N は、対応するNOR回路 $N_{41} \sim N_{46}$ の出力端に接続され、NOR回路 $N_{41} \sim N_{46}$ の各非反転入力端は、対応する外部制御信号入力端子 $U_p, V_p, W_p, U_n, V_n, W_n$ にそれぞれ接続されている。

また、スイッチング素子Q1～Q6の各エミッタと、対応する抵抗R41～R46との接続部は、高耐圧IC11a～16aの各入力端子Finに対応して接続され、対応する高耐圧IC11a～16aの各出力端子Foutは、NOR回路N41～N46の各反転入力端に対応して接続されている。

以下、図4を用いて高耐圧IC13aの動作について説明し、他の高耐圧IC11a, 12a, 14a～16aの動作については高耐圧IC13aと同様であるのでその説明を省略する。

高耐圧IC13aは、入力バッファ25, 41、NMOSトランジスタ26、Pチャネル形MOSトランジスタ（以下、PMOSトランジスタと呼ぶ）42、抵抗R27, R47及びドライバ回路28, 44で構成されている。入力バッファ41において、入力端は入力端子Finに、出力端はPMOSトランジスタ42のゲートに、正側電源入力端はフローティング電源正側入力端子Vbに、負側電源入力端は高圧側基準端子Vsにそれぞれ接続されている。

PMOSトランジスタ42のドレインは、抵抗R47とドライバ回路44の入力端にそれぞれ接続され、PMOSトランジスタ42のソースはフローティング電源正側入力端子Vbに接続されている。PMOSトランジスタ42及び抵抗R47は、入力バッファ41の出力信号を、シフトダウンして接地レベルを基準とした電位の信号を生成するレベルシフタ49を形成している。ドライバ回路44において、出力端は高耐圧IC13aの出力端子Foutに、正側電源入力端は正側電源入力端子VCCに、負側電源入力端は低圧側基準端子VSSにそれぞれ接続されている。このように、入力バッファ25、ドライバ回路28及びレベルシフタ29は、入力信号をシフトアップさせるレベルシフト回路を、入力バッファ41、ドライバ回路44及びレベルシフタ49は、入力信号をシフトダウンさせるレベルシフト回路をそれぞれ形成している。

このような構成において、高耐圧IC13aは、外部制御信号入力端子UpからNOR回路N43を介して対応する制御信号入力端子INに入力される制御信号に応じて、スイッチング素子Q1の駆動を行うと共に抵抗R41から得られる電圧から、スイッチング素子Q1に流れる過電流の検出を行う。高耐圧IC13aの入力端子Finには、スイッチング素子Q1に過電流が流れるとHighレ

ベルの信号が入力され、該H i g hレベルの信号が入力されている間、高耐圧I C 13 aは、出力端子F o u tからL o wレベルの信号を出力する。

NOR回路N 43は、反転入力端にL o wレベルの信号が入力されると、外部制御信号入力端子U pから入力される制御信号に関係なく、出力端はH i g hレベルとなり、高耐圧I C 13 aの出力端O U TはL o wレベルとなってスイッチング素子Q 1がオフする。なお、高耐圧I C 11 a～16 aに対するクランプダイオードD 11～D 16及び保護回路21の接続は、図1の高耐圧I C 11～16の各端子と同様であるのでその説明を省略する。

このように、本実施の形態1におけるインバータ装置は、高耐圧I Cの各低圧側基準端子V S Sと、電圧形インバータ2に負の電源電圧を印加するための外部電源接続端子Nとの間に、分圧抵抗R 21にバイパスダイオードD 21が並列に接続されて形成された保護回路21を設けた。このことから、簡単な回路を付加することによって、各高耐圧I Cの高圧側基準端子V sと低圧側基準端子V S Sとの間に印加された負電圧が、スイッチング素子のスイッチング時に発生するマイナスイサージ等によって、該各端子間の定格耐電圧の最小値を下回ることを防止することができ、高耐圧I Cの誤動作及び耐圧破壊を安価に防止することができる。

実施の形態2.

上記実施の形態1では、1つの保護回路21で、各高耐圧I Cのマイナスイサージによる破壊を防止するようにしたが、保護回路21を各高耐圧I Cごとにそれぞれ設けるようにしてもよく、このようにしたものを本発明の実施の形態2とする。

図5は、本発明の実施の形態2におけるインバータ装置の例を示した概略の回路図である。なお、図5では、図1と同じものは同じ符号で示しており、ここではその説明を省略すると共に、図1との相違点のみ説明する。

図5における図1との相違点は、図1の保護回路21の代わりに、各高耐圧I C 11～16ごとに、並列に接続された分圧抵抗とバイパスダイオードからなる保護回路61～66を設けたことにあり、このことから、図1のインバータ駆動回路3をインバータ駆動回路53とし、図1のインバータ装置1をインバータ装

置 5 1 とした。

図 5 において、インバータ装置 5 1 は、電圧形インバータ 2 とインバータ駆動回路 5 3 で構成されている。インバータ駆動回路 5 3 は、高耐圧 IC 1 1 ~ 1 6、クランプダイオード D 1 1 ~ D 1 6、直流電源 2 2, 3 1 ~ 3 6 及び保護回路 6 1 ~ 6 6 で構成されている。

各保護回路 6 1 ~ 6 6 は、それぞれ分圧抵抗とバイパスダイオードが並列に接続された回路をなしており、各保護回路 6 1 ~ 6 6 において、対応する分圧抵抗 R 6 1 ~ R 6 6 と対応するバイパスダイオード D 6 1 ~ D 6 6 が並列に接続されて形成されている。このことから、各保護回路 6 1 ~ 6 6 は、それぞれ同じ回路構成であることから、以下、保護回路 6 3 の動作について説明し、他の保護回路 6 1, 6 2, 6 4 ~ 6 6 の動作については、保護回路 6 3 と同様であるのでその説明を省略する。

保護回路 6 3 は、高耐圧 IC 1 3 の低圧側基準端子 VSS と外部電源接続端子 N との間に接続されており、具体的には、分圧抵抗 R 6 3 とバイパスダイオード D 6 3 のアノードとの接続部が高耐圧 IC 1 3 の低圧側基準端子 VSS に、分圧抵抗 R 6 3 とバイパスダイオード D 6 3 のカソードとの接続部が外部電源接続端子 N にそれぞれ接続されている。

このような構成において、外部接続端子 U ~ W にそれぞれ負荷をなすリアクトルが接続され、例えばスイッチング素子 Q 1 のスイッチングによって外部接続端子 U と外部電源接続端子 N との間に発生したマイナスサージを、保護回路 6 3 の抵抗 R 6 3 とクランプダイオード D 1 3 によって分圧させる。なお、図 5 における高耐圧 IC 1 3 の周辺回路を抽出して示した回路図は、保護回路 2 1 を保護回路 6 3 に置き換える以外は図 2 と同じであるので省略し、図 2 を参照しながら保護回路 2 1 を保護回路 6 3 に置き換えて説明する。

抵抗 R 6 3 の抵抗値が大きい場合、低圧側基準端子 VSS から外部電源接続端子 N に流れる高耐圧 IC 1 3 の動作電流 I 1 が、抵抗 R 6 3 によって制限されてしまうことから、抵抗 R 6 3 に並列に接続したバイパスダイオード D 6 3 で該動作電流 I 1 をバイパスして流す。言うまでもなく、動作電流 I 1 に問題となるような影響を及ぼさないほど分圧抵抗 R 6 3 の抵抗値が小さい場合は、バイパスダ

イオードD 6 3を省略してもよい。

一方、高耐圧 I C 1 1～1 6 の各低圧側基準端子 V S S と外部電源接続端子 N との間にそれぞれ保護回路 6 1～6 6 を対応させて接続し、該保護回路 6 1～6 6 における各分圧抵抗 R 6 1～R 6 6 を付加したことによって接地配線に閉ループが形成される。該閉ループは、場合によっては高耐圧 I C の誤動作につながる場合があることから、図 6 で示すように、各クランプダイオード D 1 1～D 1 6 と保護回路 6 1～6 6 との各接続部と、対応する高耐圧 I C 1 1～1 6 の各低圧側基準端子 V S S との間に、ダイオード D 7 1～D 7 6 を対応して接続してもよい。

図 6 において、例えば高耐圧 I C 1 3 を例にして説明すると、高耐圧 I C 1 3 の低圧側基準端子 V S S にダイオード 7 3 のアノードを接続し、該ダイオード 7 3 のカソードに、クランプダイオード D 1 3 のアノードと分圧抵抗 R 6 3 とバイパスダイオード D 6 3 のアノードとの接続部を接続する。このようにすることによって、外部電源接続端子 N から分圧抵抗 R 6 3、更に低圧側基準端子 V S S を経て外部電源接続端子 N への方向に対する閉ループの形成を防止することができ、該閉ループによる高耐圧 I C 1 3 の低圧側基準端子 V S S の電圧変動を防止することができ、高耐圧 I C 1 3 の誤動作を防止することができる。なお、他の高耐圧 I C 1 1, 1 2, 1 4～1 6 においても同様であるのでその説明を省略する。

また、分圧抵抗 R 6 1～R 6 6 の抵抗値によっては、すなわち低圧側基準端子 V S S から外部電源接続端子 N に流れる動作電流 I 1 に問題となるような影響を及ぼさないほど分圧抵抗 R 6 1～R 6 6 の抵抗値が小さい場合は、図 7 で示すように、バイパスダイオード D 6 1～D 6 6 を省略してもよい。

一方、本実施の形態 2 においても、スイッチング素子 Q 1～Q 6 の駆動を行う高耐圧 I C を例にして説明したが、上記実施の形態 1 と同様に、スイッチング素子の駆動制御に使用される高耐圧 I C、例えばスイッチング素子の駆動を行うレベルシフト回路と、スイッチング素子に過電流が流れたことを検出する過電流検出回路をなすレベルシフト回路で構成された高耐圧 I C にも適用することができる。しかし、その構成は、実施の形態 1 における図 3 及び図 4 と同様であるので

その説明を省略する。

このように、本実施の形態2におけるインバータ装置は、高耐圧IC11～16の各低圧側基準端子VSSと、電圧形インバータ2に負の電源電圧を印加するための外部電源接続端子Nとの間に、分圧抵抗とバイパスダイオードが並列に接続されて形成された保護回路61～66をそれぞれ対応させて設けた。このことから、各高耐圧ICの高圧側基準端子Vsと低圧側基準端子VSSとの間に印加された負電圧が、スイッチング素子のスイッチング時に発生するマイナスサージ等によって、該各端子間の定格耐電圧の最小値を下回ることをより確実に防止することができ、高耐圧ICの誤動作及び耐圧破壊をより確実に防止することができる。

なお、上記実施の形態1及び実施の形態2では、保護回路を構成する分圧抵抗に抵抗を用いた場合を例にして説明したが、本発明は、これに限定するものではなく、インダクタンス等といった分圧抵抗をなす素子を使用すればよい。また、上記実施の形態1及び実施の形態2では、3相インバータ装置を例にして説明したが、本発明は、これに限定するものではなく、単相インバータ装置等にも適用できることは言うまでもない。

産業上の利用の可能性

以上のように本発明によれば、簡単な構成の保護回路を付加することにより、インバータを構成する各スイッチング素子のスイッチング時に発生するマイナスサージによって、該各スイッチング素子の駆動制御に使用される高耐圧ICが誤動作及び耐圧破壊することを防止できるインバータ装置を提供することができる。

【図面の簡単な説明】

図1は、本発明の実施の形態1におけるインバータ装置の例を示した概略の回路図であり、

図2は、図1における高耐圧IC13の周辺回路を抽出して示した回路図であり、

図3は、本発明の実施の形態1におけるインバータ装置の他の例を示した概略の回路図であり、

図4は、図3における高耐圧IC13aの回路例を示した図であり、

図5は、本発明の実施の形態2におけるインバータ装置の例を示した概略の回路図であり、

図6は、本発明の実施の形態2におけるインバータ装置の他の例を示した概略の回路図であり、

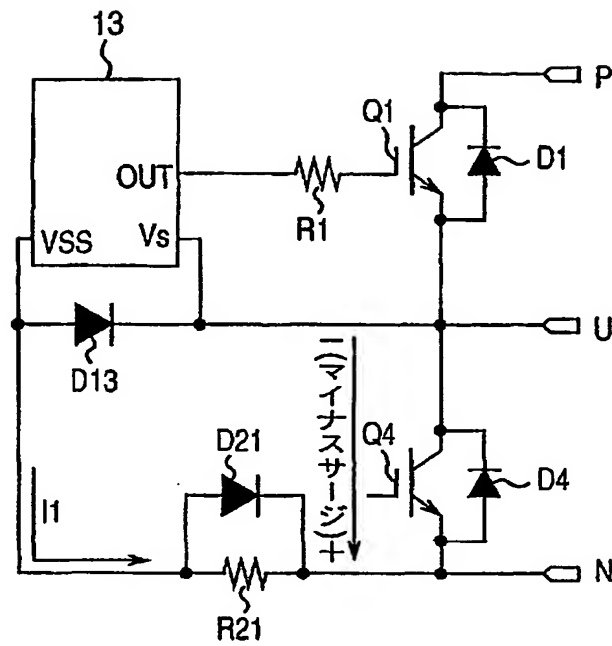
図7は、本発明の実施の形態2におけるインバータ装置の他の例を示した概略の回路図であり、

図8は、従来のインバータ装置の例を示した部分回路図である。

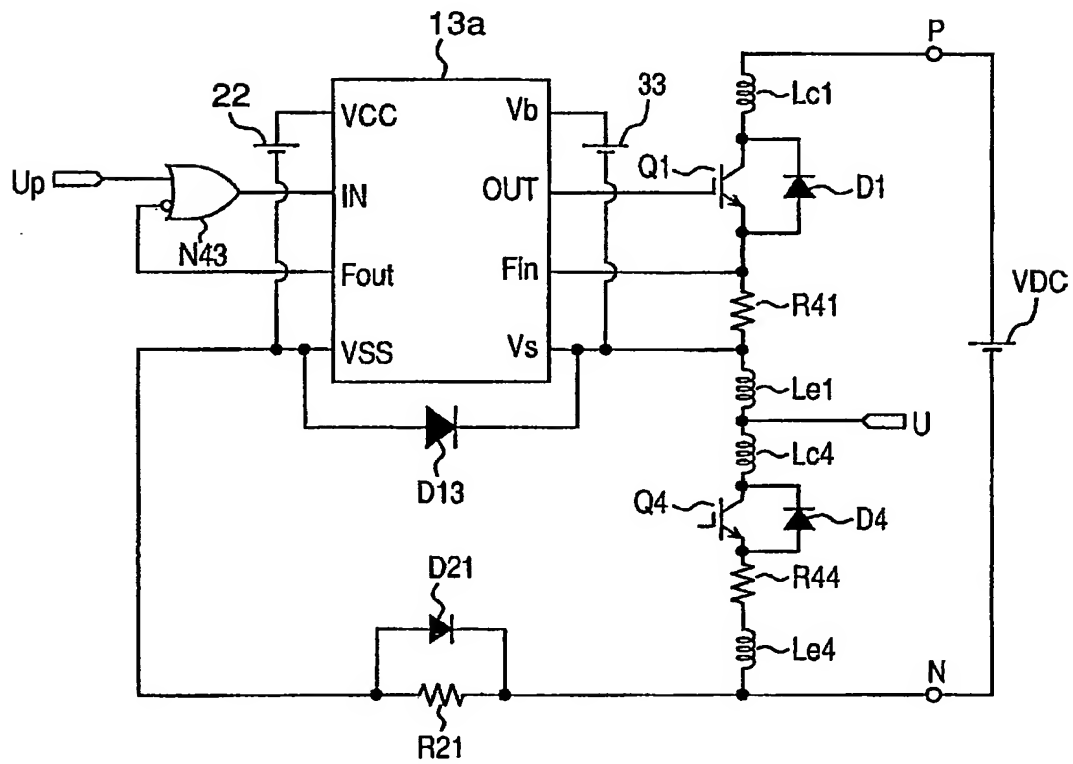
5



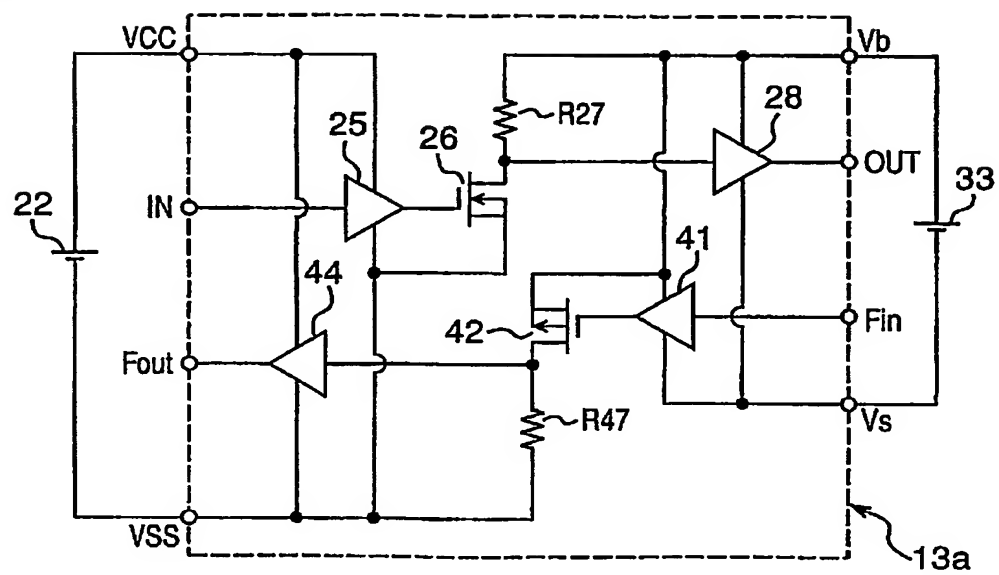
【図 2】



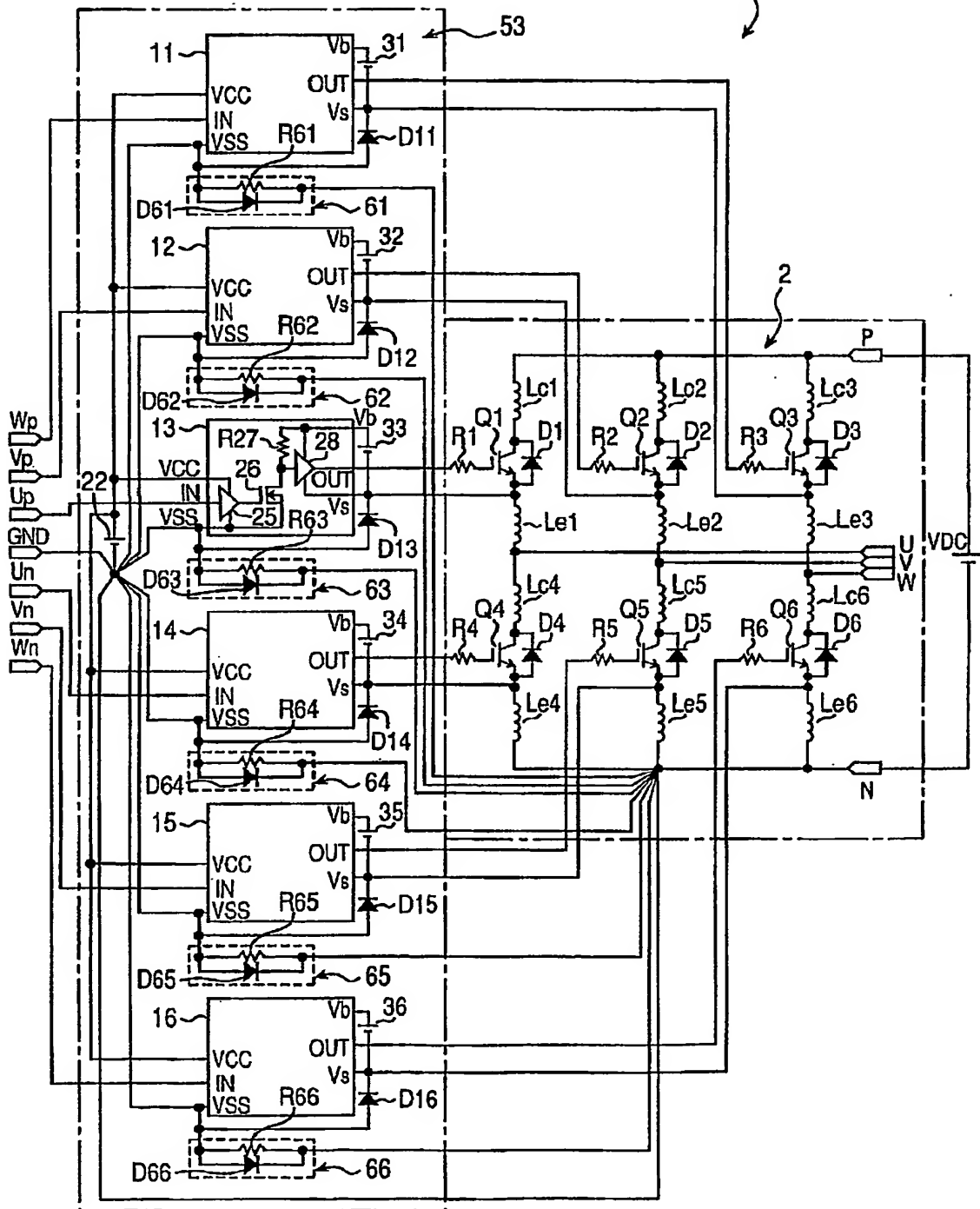
【図 3】



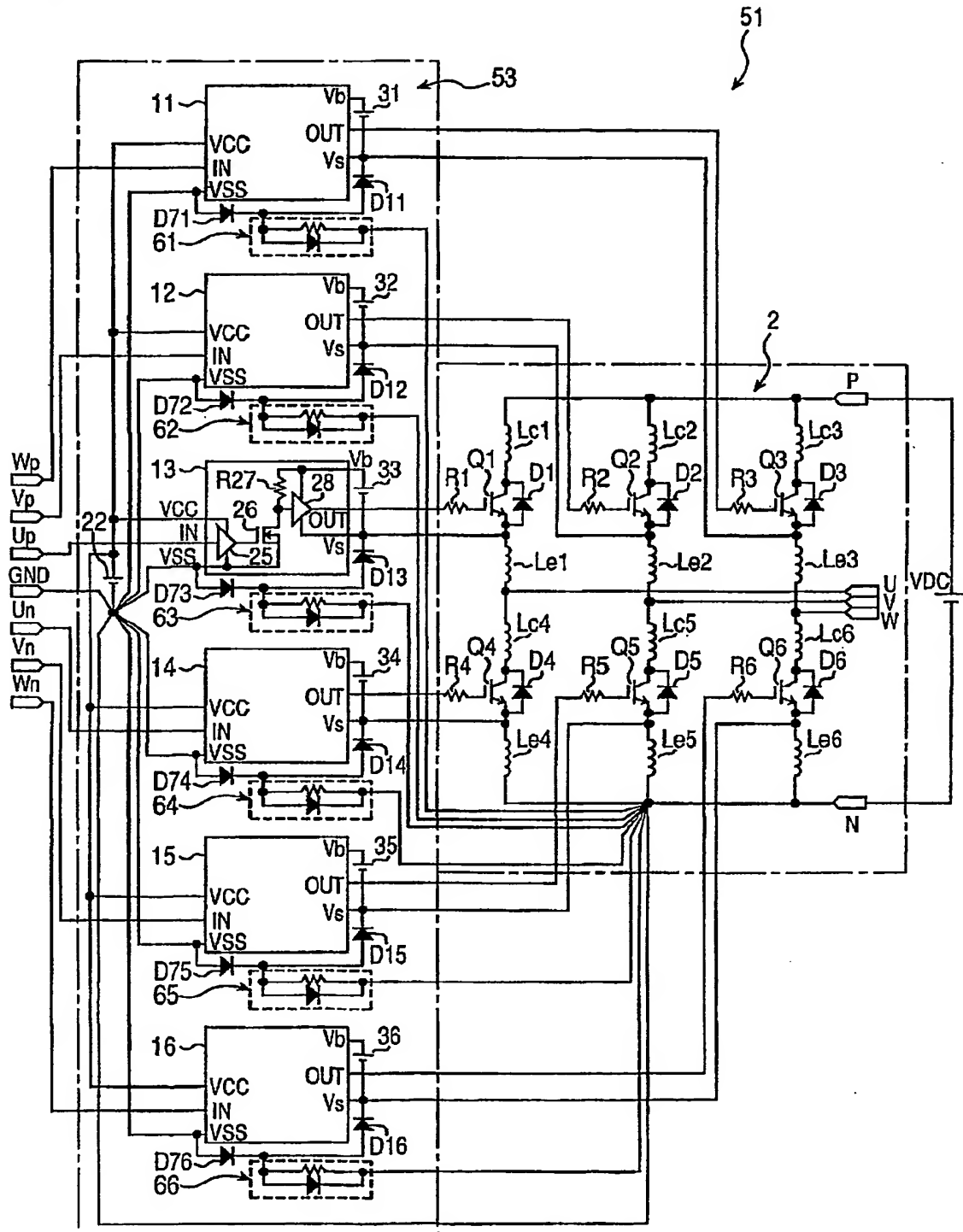
【図 4】



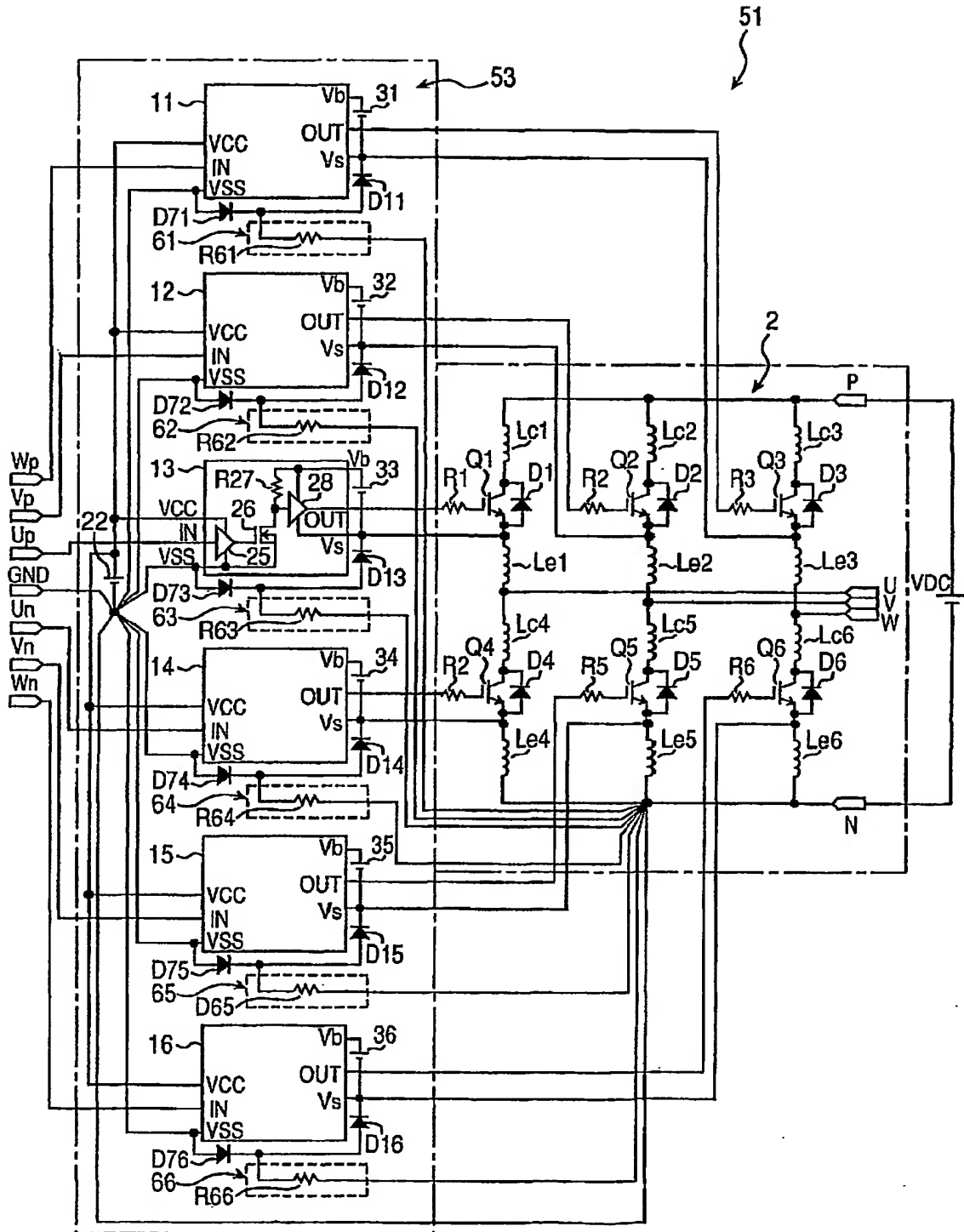
51



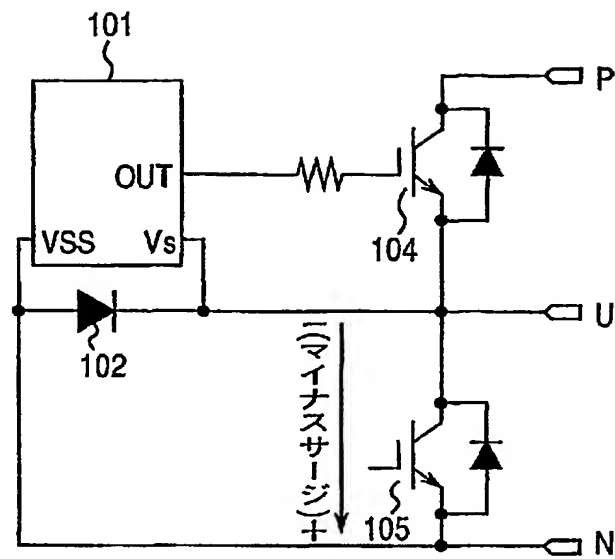
【図 6】



【図 7】



【図 8】



【国際調査報告】

国際調査報告		国際出版番号 PCT/JPO0/00712	
A. 発明の属する分野の分類 (国際特許分類 (IPC))			
Int. Cl ¹ H02M 7/5387			
B. 調査を行った分野			
調査を行った最小限資料 (国際特許分類 (IPC))			
Int. Cl ¹ H02M 7/00-7/98			
最小限資料以外の資料で調査を行った分野に含まれるもの			
日本国実用新案公報 1926-1996年			
日本国公開実用新案公報 1971-2000年			
日本国登録実用新案公報 1994-2000年			
日本国実用新案登録公報 1996-2000年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	
A	US, 4331886, A (International Business Machines Co. 25.05月. 1982 (25.05.82) & JP, 57-31381, A&EP, 42510, A1	1-18	
A	US, 4414479, A (General Electric Co.) 08.11月. 1983 (08.11.83) & JP, 58-26568, A & EP, 70158, A2	1-18	
A	JP, 10-42575, A (三菱電機株式会社) 13.02月. 1998 (13.02.98) (ファミリーなし)	1-18	
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に基づき得る文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願			
国際調査を完了した日		国際調査報告の発送日	
27.03.00		11.04.00	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 松浦 功 電話番号 03-3581-1101 内線 3358	

様式PCT/ISA/210 (第2ページ) (1998年7月)

(注) この公表は、国際事務局 (W I P O) により国際公開された公報を基に作成したものである。

なおこの公表に係る日本語特許出願 (日本語実用新案登録出願) の国際公開の効果は、特許法第 1 8 4 条の 1 0 第 1 項 (実用新案法第 4 8 条の 1 3 第 2 項) により生ずるものであり、本掲載とは関係ありません。

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2001年8月16日 (16.08.2001)

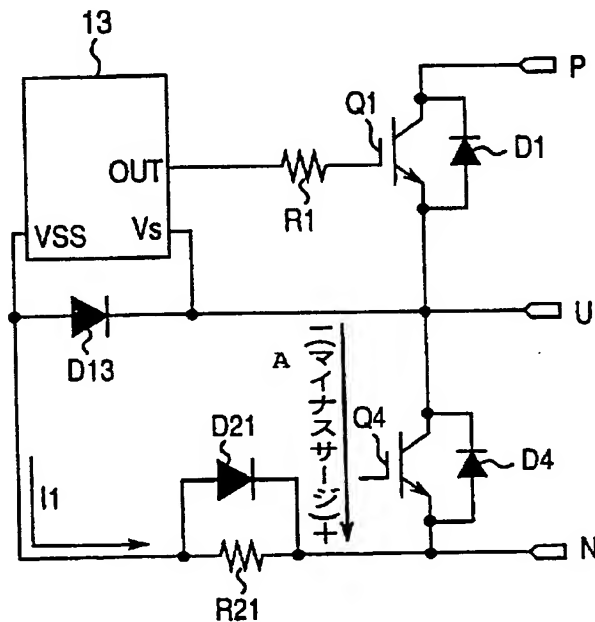
PCT

(10) 国際公開番号
WO 01/59918 A1

- (51) 国際特許分類⁷: H02M 7/5387 Kazuaki) [JP/JP]. 波多江慎治 (HATAE, Shinji) [JP/JP];
〒100-8310 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内 Tokyo (JP).
- (21) 国際出願番号: PCT/JP00/00712
- (22) 国際出願日: 2000年2月9日 (09.02.2000) (74) 代理人: 青山 稔, 外(AOYAMA, Tamotsu et al.); 〒540-0001 大阪府大阪市中央区城見1丁目3番7号 IMPビル 青山特許事務所 Osaka (JP).
- (25) 国際出願の言語: 日本語 (81) 指定国 (国内): JP, US.
- (26) 国際公開の言語: 日本語 (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).
- (71) 出願人 (米国を除く全ての指定国について): 三菱電機株式会社 (MITSUBISHI DENKI KABUSHIKI KAISHA) [JP/JP]; 〒100-8310 東京都千代田区丸の内二丁目2番3号 Tokyo (JP). 添付公開書類:
— 国際調査報告書
- (72) 発明者: および 2文字コード及び他の略語については、定期発行される
(75) 発明者/出願人 (米国についてのみ): 山本晃央 各PCTガゼットの巻頭に掲載されている「コードと略語
(YAMAMOTO, Akihisa) [JP/JP]. 日山一明 (HIYAMA, のガイドンスノート」を参照。

(54) Title: INVERTER DEVICE

(54) 発明の名称: インバータ装置



A... (MINUS SURGE)

(57) Abstract: An inverter device is provided with a circuit that protects its high-voltage IC for driving a bridge circuit from damage and malfunction. The inverter device comprises an inverter circuit including at least one pair of switching elements (Q1, Q4) connected in series across a DC source in the forward direction; an inverter drive circuit for driving the switching elements, the inverter drive circuit including at least one high-voltage IC (13) whose input and output signal reference potentials are different from each other potential; a clamping circuit (D13) for setting a high-voltage reference terminal (Vs), to which the output signal reference potential is applied, at the potential of low-voltage reference terminal (VSS) to which the IC reference potential and the input signal reference potential are applied; and a circuit (R21, D21) for dividing the voltage between the low-voltage reference terminal and the negative terminal of the DC source.

[続葉有]

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第3577478号
(P3577478)

(45) 発行日 平成16年10月13日 (2004.10.13)

(24) 登録日 平成16年7月16日 (2004.7.16)

(51) Int. Cl. ⁷

F I

H O 2 M 7/48

H O 2 M 7/48

M

H O 2 M 7/5387

H O 2 M 7/5387

Z

請求項の数 18 (全 12 頁)

(21) 出願番号 特願2001-559132 (P2001-559132)
(86) (22) 出願日 平成12年2月9日 (2000.2.9)
(86) 国際出願番号 PCT/JP2000/000712
(87) 国際公開番号 WO2001/059918
(87) 国際公開日 平成13年8月16日 (2001.8.16)
審査請求日 平成13年12月11日 (2001.12.11)

(73) 特許権者 000006013
三菱電機株式会社
東京都千代田区丸の内二丁目2番3号
(74) 代理人 100062144
弁理士 青山 稔
(74) 代理人 100086405
弁理士 河宮 治
(72) 発明者 山本 晃央
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内
(72) 発明者 日山 一明
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

最終頁に続く

(54) 【発明の名称】 インバータ装置

(57) 【特許請求の範囲】

【請求項 1】

負荷に対して電源供給を行う直流電源の両極端子間に順方向に直列に接続される少なくとも1対のスイッチング素子で構成された、負荷に対してインバータ駆動を行うためのインバータ回路部と、

入力信号と出力信号における各信号レベルの基準となる電位が異なる少なくとも1つの高耐圧 I C を有し、該インバータ回路部の各スイッチング素子の駆動を行うインバータ駆動回路部と、

該インバータ駆動回路部における高耐圧 I C の動作の基準となると共に該高耐圧 I C の低電位側の信号の基準となる電位が印加される低圧側基準端子の電位を、該高耐圧 I C における高電位側の信号の基準となる電位が印加される高圧側基準端子にクランプするクランプ回路部と、

上記インバータ駆動回路部における高耐圧 I C の低圧側基準端子と、上記直流電源の負極との間の電圧を分圧する分圧回路部と、

を備えることを特徴とするインバータ装置。

【請求項 2】

上記低圧側基準端子から出力される高耐圧 I C の動作電流が上記直流電源の負極へ流れるように上記分圧回路部をバイパスする、該分圧回路部ごとに設けられたバイパス回路部を備えることを特徴とする請求項 1 に記載のインバータ装置。

【請求項 3】

上記バイパス回路部は、分圧回路部をバイパスするバイパスダイオードからなることを特徴とする請求項2に記載のインバータ装置。

【請求項4】

上記分圧回路部は、上記インバータ駆動回路部における高耐圧ICの低圧側基準端子と上記直流電源の負極との間に接続された分圧抵抗をなす素子からなることを特徴とする請求項1に記載のインバータ装置。

【請求項5】

上記低圧側基準端子から出力される高耐圧ICの動作電流が上記直流電源の負極へ流れるように上記分圧回路部をバイパスする、該分圧回路部ごとに設けられたバイパス回路部を備えることを特徴とする請求項4に記載のインバータ装置。

10

【請求項6】

上記バイパス回路部は、分圧回路部をバイパスするバイパスダイオードからなることを特徴とする請求項5に記載のインバータ装置。

【請求項7】

上記インバータ駆動回路部における高耐圧ICの低圧側基準端子は、ダイオードを介して上記クランプ回路部及び分圧抵抗をなす素子にそれぞれ接続されることを特徴とする請求項4に記載のインバータ装置。

【請求項8】

上記低圧側基準端子から出力される高耐圧ICの動作電流が上記直流電源の負極へ流れるように上記分圧回路部をバイパスする、該分圧回路部ごとに設けられたバイパス回路部を備えることを特徴とする請求項7に記載のインバータ装置。

20

【請求項9】

上記バイパス回路部は、分圧回路部をバイパスするバイパスダイオードからなることを特徴とする請求項8に記載のインバータ装置。

【請求項10】

上記分圧回路部は、高耐圧ICごとに設けられることを特徴とする請求項1に記載のインバータ装置。

【請求項11】

上記低圧側基準端子から出力される高耐圧ICの動作電流が上記直流電源の負極へ流れるように上記分圧回路部をバイパスする、該分圧回路部ごとに設けられたバイパス回路部を備えることを特徴とする請求項10に記載のインバータ装置。

30

【請求項12】

上記バイパス回路部は、分圧回路部をバイパスするバイパスダイオードからなることを特徴とする請求項11に記載のインバータ装置。

【請求項13】

上記分圧回路部は、上記インバータ駆動回路部における高耐圧ICの低圧側基準端子と上記直流電源の負極との間に接続された分圧抵抗をなす素子からなることを特徴とする請求項10に記載のインバータ装置。

【請求項14】

上記低圧側基準端子から出力される高耐圧ICの動作電流が上記直流電源の負極へ流れるように上記分圧回路部をバイパスする、該分圧回路部ごとに設けられたバイパス回路部を備えることを特徴とする請求項13に記載のインバータ装置。

40

【請求項15】

上記バイパス回路部は、分圧回路部をバイパスするバイパスダイオードからなることを特徴とする請求項14に記載のインバータ装置。

【請求項16】

上記インバータ駆動回路部における高耐圧ICの低圧側基準端子は、ダイオードを介して上記クランプ回路部及び分圧抵抗をなす素子にそれぞれ接続されることを特徴とする請求項13に記載のインバータ装置。

【請求項17】

50

上記低圧側基準端子から出力される高耐圧 IC の動作電流が上記直流電源の負極へ流れるように上記分圧回路部をバイパスする、該分圧回路部ごとに設けられたバイパス回路部を備えることを特徴とする請求項 16 に記載のインバータ装置。

【請求項 18】

上記バイパス回路部は、分圧回路部をバイパスするバイパスダイオードからなることを特徴とする請求項 17 に記載のインバータ装置。

【発明の詳細な説明】

技術分野

本発明は、インバータ装置に関し、特に負荷を駆動するスイッチング素子で形成されたブリッジ回路の駆動制御に使用される高耐圧 IC の耐圧破壊及び誤動作を防止する回路を備えたインバータ装置に関する。

背景技術

従来、特開平 10-42575 号公報に開示されているように、インバータ装置において、負荷の駆動を行うスイッチング素子のスイッチング時に、電流の単位時間あたりの変化量 di/dt と配線のインダクタンスから発生するマイナスサージ対策として、該スイッチング素子を駆動制御する高耐圧 IC の低圧側基準端子と高圧側基準端子との間にクランプダイオードを接続していた。

本発明の前提である基本技術とその課題

図 8 は、上記クランプダイオードの接続例を示した概略の回路図である。なお、図 8 では、任意の 1 つの高耐圧 IC、例えば負荷が接続される外部接続端子 U に接続される負荷を駆動するスイッチング素子のスイッチング制御を行う高耐圧 IC の周辺回路のみを示している。

高耐圧 IC 101 の低圧側基準端子 VSS と高圧側基準端子 Vs との間にクランプダイオード 102 が接続されており、高耐圧 IC 101 は、正の電源電圧が印加される外部電源接続端子 P と負荷が接続される外部接続端子 U との間に接続されたスイッチング素子 104 の動作制御を行う。外部接続端子 U と負の電源電圧が印加される外部電源接続端子 N との間に接続されたスイッチング素子 105 の動作制御を行う高耐圧 IC は省略している。マイナス電位のサージによって、高圧側基準端子 Vs と低圧側基準端子 VSS との間の電圧 $V(Vs - VSS)$ が負電圧になったときのみ、クランプダイオード 102 によって該電圧 $V(Vs - VSS)$ は、クランプダイオード 102 の順方向電圧に保たれる。

しかし、外部接続端子 U に接続される負荷のインピーダンスが小さく、該負荷を駆動して大電流が流れ、マイナス電位のサージが数十 V といった大きになると、クランプダイオード 102 における、順回復時間による遅れと例えば数百アンペアといった大電流が流れたときの $V-I$ 特性から、高耐圧 IC 101 の耐電圧以上のマイナス電位が印加されてしまう。このため、クランプダイオード 102 だけでは、高耐圧 IC 101 にかかる負電圧を十分に抑えることができず、高耐圧 IC 101 の誤動作、場合によっては破壊を招くといった問題があった。

本発明は上記のような課題を解決するもので、負荷の駆動を行うスイッチング素子のスイッチング制御を行う高耐圧 IC の誤動作及び破壊を防止することができるインバータ装置を得ることを目的とする。

発明の開示

本発明のインバータ装置は、負荷に対して電源供給を行う直流電源の両極端子間に順方向に直列に接続される少なくとも 1 対のスイッチング素子で構成された、負荷に対してインバータ駆動を行うためのインバータ回路部と、入力信号と出力信号における各信号レベルの基準となる電位が異なる少なくとも 1 つの高耐圧 IC を有し、該インバータ回路部の各スイッチング素子の駆動を行うインバータ駆動回路部と、該インバータ駆動回路部における高耐圧 IC の動作の基準となると共に該高耐圧 IC の低電位側の信号の基準となる電位が印加される低圧側基準端子の電位を、該高耐圧 IC における高電位側の信号の基準となる電位が印加される高圧側基準端子にクランプするクランプ回路部と、インバータ駆動回路部における高耐圧 IC の低圧側基準端子と直流電源の負極との間の電圧を分圧する分圧

回路部とを備えるものである。このように、高耐圧 I C の低圧側基準端子と直流電源の負極との間の電圧を分圧する分圧回路部を備え、高耐圧 I C における高圧側基準端子と低圧側基準端子との間に印加される負電圧が、該端子間の定格耐電圧の最小値以下にならないようにしたものである。

一方、上記分圧回路部を高耐圧 I C ごとに設けるようにしてもよい。

また、上記分圧回路部を、インバータ駆動回路部における高耐圧 I C の低圧側基準端子と上記直流電源の負極との間に接続された分圧抵抗をなす素子からなるようにして、分圧回路部を 1 つの抵抗又は 1 つのインダクタンス等といった分圧抵抗をなす素子で構成した。

また、上記インバータ駆動回路部における高耐圧 I C の低圧側基準端子を、ダイオードを介して上記クランプ回路部及び分圧抵抗をなす素子にそれぞれ接続するようにしてもよく、分圧抵抗から高耐圧 I C の低圧側基準端子の方向に電流が流れないようにした。

更に、上記分圧回路部をバイパスするバイパス回路部を、上記低圧側基準端子から出力される高耐圧 I C の動作電流が上記直流電源の負極へ流れるように分圧回路部ごとに設けるようにした。

具体的には、上記バイパス回路部を、分圧回路部をバイパスするバイパスダイオードからなるようにし、バイパス回路部を 1 つのバイパスダイオードで構成するようにした。

【図面の簡単な説明】

図 1 は、本発明の実施の形態 1 におけるインバータ装置の例を示した概略の回路図であり、

図 2 は、図 1 における高耐圧 I C 1 3 の周辺回路を抽出して示した回路図であり、

図 3 は、本発明の実施の形態 1 におけるインバータ装置の他の例を示した概略の回路図であり、

図 4 は、図 3 における高耐圧 I C 1 3 a の回路例を示した図であり、

図 5 は、本発明の実施の形態 2 におけるインバータ装置の例を示した概略の回路図であり、

図 6 は、本発明の実施の形態 2 におけるインバータ装置の他の例を示した概略の回路図であり、

図 7 は、本発明の実施の形態 2 におけるインバータ装置の他の例を示した概略の回路図であり、

図 8 は、従来のインバータ装置の例を示した部分回路図である。

発明を実施するための最良の形態

以下、本発明の実施の形態を、図面を参照しながら説明する。

実施の形態 1.

図 1 は、本発明の実施の形態 1 におけるインバータ装置の例を示した概略の回路図である。なお、図 1 では、3 相インバータ装置を例にして示している。

図 1 において、3 相インバータ装置 1 は、I G B T からなる 6 個のスイッチング素子 Q 1 ~ Q 6、及び該スイッチング素子 Q 1 ~ Q 6 に対応してそれぞれ並列に接続されたダイオード D 1 ~ D 6 からなる電圧形インバータ 2 と、該電圧形インバータの駆動を行うインバータ駆動回路 3 とを備えている。

電圧形インバータ 2 において、スイッチング素子 Q 1 ~ Q 3 の各コレクタは、電圧形インバータ 2 に正の電源電圧を印加するための外部電源接続端子 P にそれぞれ接続され、この際、該各コレクタと外部電源接続端子 P との間には、それぞれ対応する配線のインダクタンス L c 1 ~ L c 3 が形成される。スイッチング素子 Q 4 ~ Q 6 の各エミッタは、電圧形インバータ 2 に負の電源電圧を印加するための外部電源接続端子 N にそれぞれ接続され、この際、該各エミッタと外部電源接続端子 N との間には、それぞれ対応する配線のインダクタンス L e 4 ~ L e 6 が形成される。

また、スイッチング素子 Q 1 のエミッタ及びスイッチング素子 Q 4 のコレクタはそれぞれ負荷を接続するための外部接続端子 U に接続され、該エミッタと外部接続端子 U との間には配線のインダクタンス L e 1 が、該コレクタと外部接続端子 U との間には配線のインダクタンス L c 4 がそれぞれ形成される。同様に、スイッチング素子 Q 2 のエミッタ及びス

スイッチング素子Q5のコレクタはそれぞれ負荷を接続するための外部接続端子Vに接続され、該エミッタと外部接続端子Vとの間には配線のインダクタンスLe2が、該コレクタと外部接続端子Vとの間には配線のインダクタンスLe5がそれぞれ形成される。同様に、スイッチング素子Q3のエミッタ及びスイッチング素子Q6のコレクタはそれぞれ負荷を接続するための外部接続端子Wに接続され、該エミッタと外部接続端子Wとの間には配線のインダクタンスLe3が、該コレクタと外部接続端子Wとの間には配線のインダクタンスLe6がそれぞれ形成される。

更に、スイッチング素子Q1～Q6の各ゲートは、対応する抵抗R1～R6を介してインバータ駆動回路3に接続され、インバータ駆動回路3は、入力される制御信号に応じて各スイッチング素子Q1～Q6のスイッチング制御を行う。また、外部電源接続端子Pと外部電源接続端子Nとの間には、直流電源VDCが接続され、外部接続端子U、V、Wには、負荷としてそれぞれリアクトル（図示せず）が接続される。

インバータ駆動回路3において、電圧形インバータ2の各スイッチング素子Q1～Q6に対応して設けられ、各スイッチング素子Q1～Q6の駆動を行う高耐圧IC11～16を有し、更に、該各高耐圧IC11～16における高圧側基準端子Vsと低圧側基準端子VSSとの間に、低圧側基準端子VSSから高圧側基準端子Vsへの方向が順方向になるようにクランプダイオードD11～D16がそれぞれ対応して接続されている。また、高耐圧IC11～16の各低圧側基準端子VSSは、分圧抵抗R21と該分圧抵抗R21に並列に接続されたバイパスダイオードD21からなる保護回路21を介して外部電源接続端子Nに接続されると共に、外部接続端子GNDに接続されている。

各高耐圧IC11～16において、各制御信号入力端子INは、対応する外部制御信号入力端子Up、Vp、Wp、Un、Vn、Wnにそれぞれ接続され、各正側電源入力端子VCC及び負側電源入力端子をなす低圧側基準端子VSSは、直流電源22の正極及び負極にそれぞれ対応して接続されている。

なお、高耐圧IC11～16は、それぞれ同じ回路構成で形成されていることから、図1では高耐圧IC13の内部回路例のみを示しており、高耐圧IC11、12、14～16の各内部回路は省略している。このことから、以下、高耐圧IC13の動作について説明し、他の高耐圧ICの動作については高耐圧IC13と同様であるのでその説明を省略する。

高耐圧IC13は、入力バッファ25、Nチャネル形MOSトランジスタ（以下、NMOSトランジスタと呼ぶ）26、抵抗R27及びドライバ回路28で構成されている。入力バッファ25において、入力端は制御信号入力端子INに、出力端はNMOSトランジスタ26のゲートに、正側電源入力端は正側電源入力端子VCCに、負側電源入力端は低圧側基準端子VSSにそれぞれ接続されている。

NMOSトランジスタ26のドレインは、抵抗R27とドライバ回路28の入力端にそれぞれ接続され、NMOSトランジスタ26のソースは低圧側基準端子VSSに接続されている。NMOSトランジスタ26及び抵抗R27は、入力バッファ25の出力信号を、該信号の電位から浮いたフローティング電位の信号を生成するレベルシフト29を形成している。ドライバ回路28において、出力端は高耐圧IC13の出力端子OUTに、正側電源入力端はフローティング電源正側入力端子Vbに、負側電源入力端はフローティング電源負側入力端子をなす高圧側基準端子Vsにそれぞれ接続されている。このように、入力バッファ25、ドライバ回路28及びレベルシフト29は、レベルシフト回路を形成している。また、高耐圧IC11～16の各フローティング電源正側入力端子Vbと高圧側基準端子Vsとの間には、対応する直流電源31～36が接続されている。

このような構成において、図2は、図1における高耐圧IC13の周辺回路を抽出して示した回路であり、図2を用いて保護回路21の動作について説明する。なお、図2では、配線のインダクタンスは省略している。外部接続端子U～Wにそれぞれ負荷をなすリアクトルが接続され、例えばスイッチング素子Q1のスイッチングによって外部接続端子Uと外部電源接続端子Nとの間に発生したマイナス電位のサージ（以下、マイナスサージと呼ぶ）を、保護回路21の分圧抵抗R21とクランプダイオードD13によって分圧させる

10

20

30

40

50

また、分圧抵抗 R_{21} の抵抗値が大きい場合、低圧側基準端子 V_{SS} から外部電源接続端子 N に流れる高耐圧 IC_{13} の動作電流 I_1 が、抵抗 R_{21} によって制限されてしまうことから、抵抗 R_{21} に並列に接続したバイパスダイオード D_{21} で該動作電流 I_1 をバイパスして流す。言うまでもなく、動作電流 I_1 に問題となるような影響を及ぼさないほど分圧抵抗 R_{21} の抵抗値が小さい場合は、バイパスダイオード D_{21} を省略してもよい。なお、図 1 及び図 2 では、スイッチング素子 $Q_1 \sim Q_6$ の駆動を行う高耐圧 IC を例にして説明したが、本発明は、これに限定するものではなく、スイッチング素子の駆動制御に使用される高耐圧 IC に適用することができる。例えば、スイッチング素子の駆動を行うレベルシフト回路と、スイッチング素子に過電流が流れたことを検出する過電流検出回路をなすレベルシフト回路で構成された高耐圧 IC にも適用することができる。図 3 は、このような場合の実施の形態 1 におけるインバータ装置の他の例を示した図であり、図 4 は、図 3 で示した高耐圧 IC の回路例を示した図である。

なお、図 3 では、図 1 で示したインバータ装置 1 のスイッチング素子 Q_1 に接続された高耐圧 IC とその周辺回路を例にして示しており、その他の高耐圧 IC 及びその周辺回路においても同様であるので省略している。また、図 3 及び図 4 では、図 1 と同じものは同じ符号で示しており、ここではその説明を省略すると共に図 1 との相違点のみ説明する。

図 3 における図 1 との相違点は、スイッチング素子 $Q_1 \sim Q_3$ の各エミッタを電流検出用の抵抗 $R_{41} \sim R_{43}$ を介して対応する外部接続端子 $U \sim W$ に接続すると共に、スイッチング素子 $Q_4 \sim Q_6$ の各エミッタを電流検出用の抵抗 $R_{44} \sim R_{46}$ を介して外部電源接続端子 N に接続したことと、図 1 の各高耐圧 $IC_{11} \sim IC_{16}$ の内部回路を変えると共に NOR 回路 $N_{41} \sim N_{46}$ を追加したことにある。

図 3 において、 NOR 回路 $N_{41} \sim N_{46}$ は、一方の入力端が、入力される信号レベルが反転する反転入力端をなしており、他方の入力端が、入力される信号レベルが反転しない非反転入力端をなしている。高耐圧 $IC_{11a} \sim IC_{16a}$ の各制御信号入力端子 I_N は、対応する NOR 回路 $N_{41} \sim N_{46}$ の出力端に接続され、 NOR 回路 $N_{41} \sim N_{46}$ の各非反転入力端は、対応する外部制御信号入力端子 $U_p, V_p, W_p, U_n, V_n, W_n$ にそれぞれ接続されている。

また、スイッチング素子 $Q_1 \sim Q_6$ の各エミッタと、対応する抵抗 $R_{41} \sim R_{46}$ との接続部は、高耐圧 $IC_{11a} \sim IC_{16a}$ の各入力端子 F_{in} に対応して接続され、対応する高耐圧 $IC_{11a} \sim IC_{16a}$ の各出力端子 F_{out} は、 NOR 回路 $N_{41} \sim N_{46}$ の各反転入力端に対応して接続されている。

以下、図 4 を用いて高耐圧 IC_{13a} の動作について説明し、他の高耐圧 $IC_{11a}, IC_{12a}, IC_{14a} \sim IC_{16a}$ の動作については高耐圧 IC_{13a} と同様であるのでその説明を省略する。

高耐圧 IC_{13a} は、入力バッファ 25、41、 $NMOS$ トランジスタ 26、 P チャネル形 MOS トランジスタ（以下、 $PMOS$ トランジスタと呼ぶ）42、抵抗 R_{27}, R_{47} 及びドライバ回路 28、44 で構成されている。入力バッファ 41 において、入力端は入力端子 F_{in} に、出力端は $PMOS$ トランジスタ 42 のゲートに、正側電源入力端はフローティング電源正側入力端子 V_b に、負側電源入力端は高圧側基準端子 V_s にそれぞれ接続されている。

$PMOS$ トランジスタ 42 のドレインは、抵抗 R_{47} とドライバ回路 44 の入力端にそれぞれ接続され、 $PMOS$ トランジスタ 42 のソースはフローティング電源正側入力端子 V_b に接続されている。 $PMOS$ トランジスタ 42 及び抵抗 R_{47} は、入力バッファ 41 の出力信号を、シフトダウンして接地レベルを基準とした電位の信号を生成するレベルシフタ 49 を形成している。ドライバ回路 44 において、出力端は高耐圧 IC_{13a} の出力端子 F_{out} に、正側電源入力端は正側電源入力端子 V_{CC} に、負側電源入力端は低圧側基準端子 V_{SS} にそれぞれ接続されている。このように、入力バッファ 25、ドライバ回路 28 及びレベルシフタ 29 は、入力信号をシフトアップさせるレベルシフト回路を、入力バッファ 41、ドライバ回路 44 及びレベルシフタ 49 は、入力信号をシフトダウンさせ

るレベルシフト回路をそれぞれ形成している。

このような構成において、高耐圧 I C 1 3 a は、外部制御信号入力端子 U p から N O R 回路 N 4 3 を介して対応する制御信号入力端子 I N に入力される制御信号に応じて、スイッチング素子 Q 1 の駆動を行うと共に抵抗 R 4 1 から得られる電圧から、スイッチング素子 Q 1 に流れる過電流の検出を行う。高耐圧 I C 1 3 a の入力端子 F i n には、スイッチング素子 Q 1 に過電流が流れると H i g h レベルの信号が入力され、該 H i g h レベルの信号が入力されている間、高耐圧 I C 1 3 a は、出力端子 F o u t から L o w レベルの信号を出力する。

N O R 回路 N 4 3 は、反転入力端に L o w レベルの信号が入力されると、外部制御信号入力端子 U p から入力される制御信号に関係なく、出力端は H i g h レベルとなり、高耐圧 I C 1 3 a の出力端 O U T は L o w レベルとなってスイッチング素子 Q 1 がオフする。なお、高耐圧 I C 1 1 a ~ 1 6 a に対するクランプダイオード D 1 1 ~ D 1 6 及び保護回路 2 1 の接続は、図 1 の高耐圧 I C 1 1 ~ 1 6 の各端子と同様であるのでその説明を省略する。

このように、本実施の形態 1 におけるインバータ装置は、高耐圧 I C の各低圧側基準端子 V S S と、電圧形インバータ 2 に負の電源電圧を印加するための外部電源接続端子 N との間に、分圧抵抗 R 2 1 にバイパスダイオード D 2 1 が並列に接続された保護回路 2 1 を設けた。このことから、簡単な回路を付加することによって、各高耐圧 I C の高圧側基準端子 V s と低圧側基準端子 V S S との間に印加された負電圧が、スイッチング素子のスイッチング時に発生するマイナスイサージ等によって、該各端子間の定格耐電圧の最小値を下回

実施の形態 2 .

上記実施の形態 1 では、1 つの保護回路 2 1 で、各高耐圧 I C のマイナスイサージによる破壊を防止するようにしたが、保護回路 2 1 を各高耐圧 I C ごとにそれぞれ設けるようにしてもよく、このようにしたものを本発明の実施の形態 2 とする。

図 5 は、本発明の実施の形態 2 におけるインバータ装置の例を示した概略の回路図である。なお、図 5 では、図 1 と同じものは同じ符号で示しており、ここではその説明を省略すると共に、図 1 との相違点のみ説明する。

図 5 における図 1 との相違点は、図 1 の保護回路 2 1 の代わりに、各高耐圧 I C 1 1 ~ 1 6 ごとに、並列に接続された分圧抵抗とバイパスダイオードからなる保護回路 6 1 ~ 6 6 を設けたことにあり、このことから、図 1 のインバータ駆動回路 3 をインバータ駆動回路 5 3 とし、図 1 のインバータ装置 1 をインバータ装置 5 1 とした。

図 5 において、インバータ装置 5 1 は、電圧形インバータ 2 とインバータ駆動回路 5 3 で構成されている。インバータ駆動回路 5 3 は、高耐圧 I C 1 1 ~ 1 6 、クランプダイオード D 1 1 ~ D 1 6 、直流電源 2 2 , 3 1 ~ 3 6 及び保護回路 6 1 ~ 6 6 で構成されている。

各保護回路 6 1 ~ 6 6 は、それぞれ分圧抵抗とバイパスダイオードが並列に接続された回路をなしており、各保護回路 6 1 ~ 6 6 において、対応する分圧抵抗 R 6 1 ~ R 6 6 と対応するバイパスダイオード D 6 1 ~ D 6 6 が並列に接続されて形成されている。このことから、各保護回路 6 1 ~ 6 6 は、それぞれ同じ回路構成であることから、以下、保護回路 6 3 の動作について説明し、他の保護回路 6 1 , 6 2 , 6 4 ~ 6 6 の動作については、保護回路 6 3 と同様であるのでその説明を省略する。

保護回路 6 3 は、高耐圧 I C 1 3 の低圧側基準端子 V S S と外部電源接続端子 N との間に接続されており、具体的には、分圧抵抗 R 6 3 とバイパスダイオード D 6 3 のアノードとの接続部が高耐圧 I C 1 3 の低圧側基準端子 V S S に、分圧抵抗 R 6 3 とバイパスダイオード D 6 3 のカソードとの接続部が外部電源接続端子 N にそれぞれ接続されている。

このような構成において、外部接続端子 U ~ W にそれぞれ負荷をなすリアクトルが接続され、例えばスイッチング素子 Q 1 のスイッチングによって外部接続端子 U と外部電源接続端子 N との間に発生したマイナスイサージを、保護回路 6 3 の抵抗 R 6 3 とクランプダイオ

ードD13によって分圧させる。なお、図5における高耐圧IC13の周辺回路を抽出して示した回路図は、保護回路21を保護回路63に置き換える以外は図2と同じであるので省略し、図2を参照しながら保護回路21を保護回路63に置き換えて説明する。

抵抗R63の抵抗値が大きい場合、低圧側基準端子VSSから外部電源接続端子Nに流れる高耐圧IC13の動作電流I1が、抵抗R63によって制限されてしまうことから、抵抗R63に並列に接続したバイパスダイオードD63で該動作電流I1をバイパスして流す。言うまでもなく、動作電流I1に問題となるような影響を及ぼさないほど分圧抵抗R63の抵抗値が小さい場合、バイパスダイオードD63を省略してもよい。

一方、高耐圧IC11～16の各低圧側基準端子VSSと外部電源接続端子Nとの間にそれぞれ保護回路61～66を対応させて接続し、該保護回路61～66における各分圧抵抗R61～R66を付加したことによって接地配線に閉ループが形成される。該閉ループは、場合によっては高耐圧ICの誤動作につながる場合があることから、図6で示すように、各クランプダイオードD11～D16と保護回路61～66との各接続部と、対応する高耐圧IC11～16の各低圧側基準端子VSSとの間に、ダイオードD71～D76を対応して接続してもよい。

図6において、例えば高耐圧IC13を例にして説明すると、高耐圧IC13の低圧側基準端子VSSにダイオード73のアノードを接続し、該ダイオード73のカソードに、クランプダイオードD13のアノードと分圧抵抗R63とバイパスダイオードD63のアノードとの接続部を接続する。このようにすることによって、外部電源接続端子Nから分圧抵抗R63、更に低圧側基準端子VSSを経て外部電源接続端子Nへの方角に対する閉ループの形成を防止することができ、該閉ループによる高耐圧IC13の低圧側基準端子VSSの電圧変動を防止することができ、高耐圧IC13の誤動作を防止することができる。なお、他の高耐圧IC11, 12, 14～16においても同様であるのでその説明を省略する。

また、分圧抵抗R61～R66の抵抗値によっては、すなわち低圧側基準端子VSSから外部電源接続端子Nに流れる動作電流I1に問題となるような影響を及ぼさないほど分圧抵抗R61～R66の抵抗値が小さい場合は、図7で示すように、バイパスダイオードD61～D66を省略してもよい。

一方、本実施の形態2においても、スイッチング素子Q1～Q6の駆動を行う高耐圧ICを例にして説明したが、上記実施の形態1と同様に、スイッチング素子の駆動制御に使用される高耐圧IC、例えばスイッチング素子の駆動を行うレベルシフト回路と、スイッチング素子に過電流が流れたことを検出する過電流検出回路をなすレベルシフト回路で構成された高耐圧ICにも適用することができる。しかし、その構成は、実施の形態1における図3及び図4と同様であるのでその説明を省略する。

このように、本実施の形態2におけるインバータ装置は、高耐圧IC11～16の各低圧側基準端子VSSと、電圧形インバータ2に負の電源電圧を印加するための外部電源接続端子Nとの間に、分圧抵抗とバイパスダイオードが並列に接続されて形成された保護回路61～66をそれぞれ対応させて設けた。このことから、各高耐圧ICの高圧側基準端子Vsと低圧側基準端子VSSとの間に印加された負電圧が、スイッチング素子のスイッチング時に発生するマイナスイサージ等によって、該各端子間の定格耐電圧の最小値を下回ることをより確実に防止することができ、高耐圧ICの誤動作及び耐圧破壊をより確実に防止することができる。

なお、上記実施の形態1及び実施の形態2では、保護回路を構成する分圧抵抗に抵抗を用いた場合を例にして説明したが、本発明は、これに限定するものではなく、インダクタンス等といった分圧抵抗をなす素子を使用すればよい。また、上記実施の形態1及び実施の形態2では、3相インバータ装置を例にして説明したが、本発明は、これに限定するものではなく、単相インバータ装置等にも適用できることは言うまでもない。

産業上の利用の可能性

以上のように本発明によれば、簡単な構成の保護回路を付加することにより、インバータを構成する各スイッチング素子のスイッチング時に発生するマイナスイサージによって、該

10

20

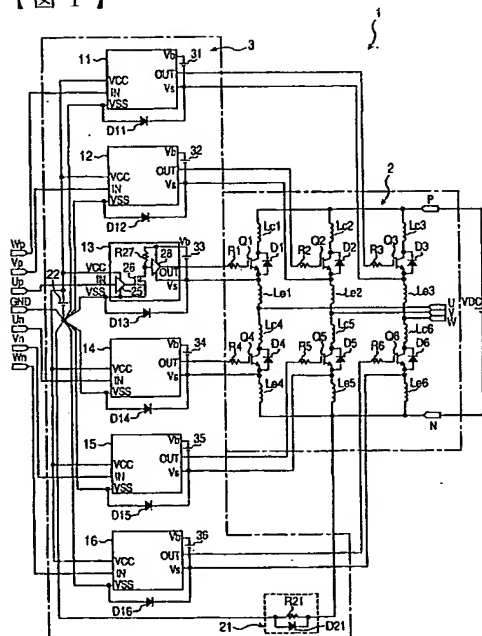
30

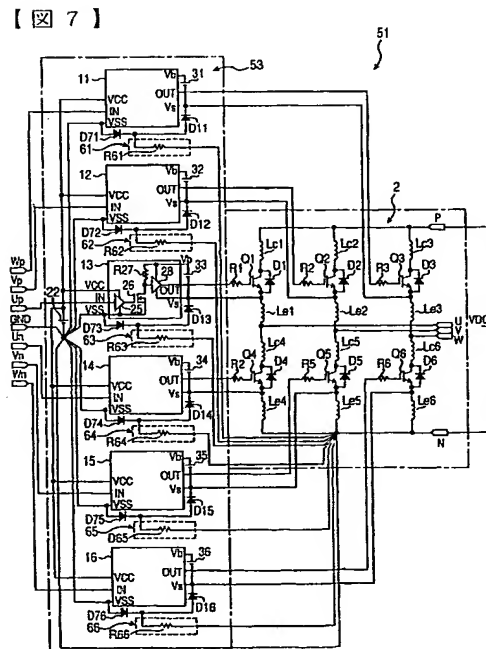
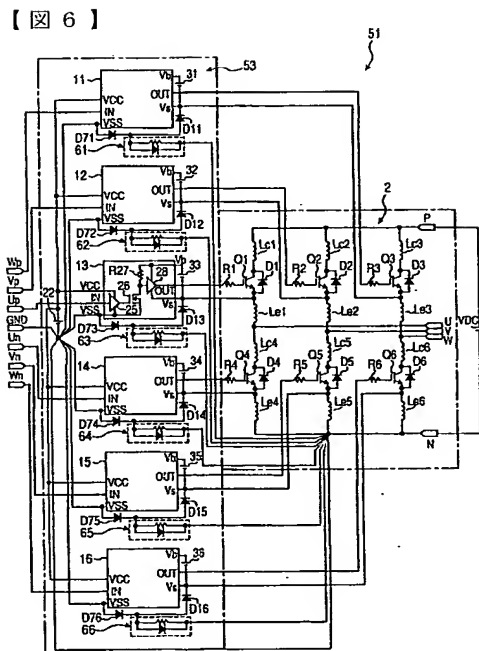
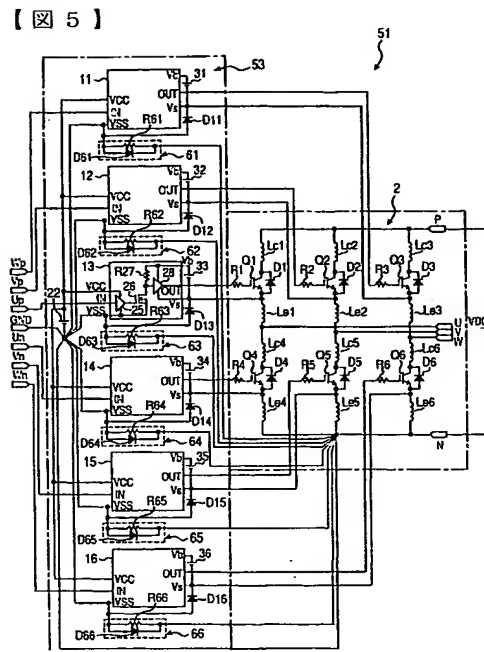
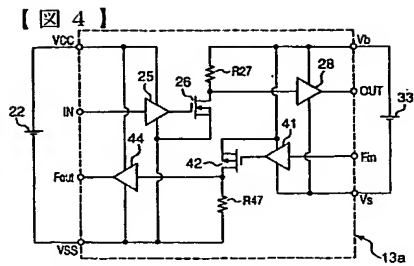
40

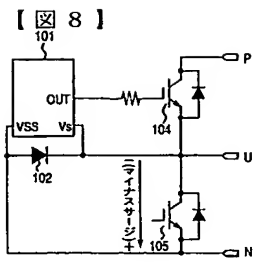
50

各スイッチング素子の駆動制御に使用される高耐圧ＩＣが誤動作及び耐圧破壊することを防止できるインバータ装置を提供することができる。

【図 1】







フロントページの続き

(72) 発明者 波多江 慎治
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

審査官 川端 修

(56) 参考文献 特開平10-042575 (JP, A)
特開昭58-026568 (JP, A)
特開昭57-031381 (JP, A)
実開平05-048592 (JP, U)

(58) 調査した分野(Int. Cl.⁷, DB名)
H02M 7/48
H02M 7/5387